

IPW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

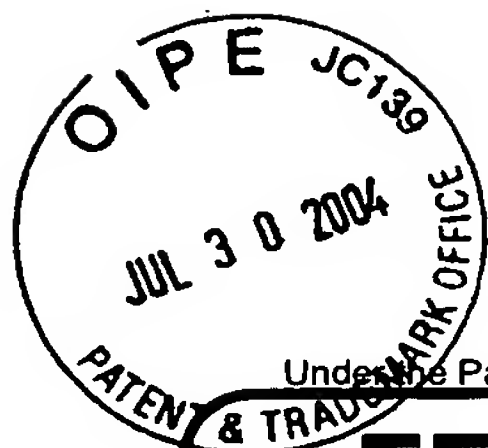
TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/710,175	
	Filing Date	06/23/2004	
	First Named Inventor	Han-Chang Kang	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	REAP0025USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		
SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT		
Firm or Individual name	Winston Hsu, Reg. No.: 41,526	
Signature		
Date	7/28/2004	

CERTIFICATE OF TRANSMISSION/MAILING		
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.		
Typed or printed name		
Signature		Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/710,175
Filing Date	06/23/2004
First Named Inventor	Han-Chang Kang
Examiner Name	
Art Unit	
Attorney Docket No.	REAP0025USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-3105
Deposit Account Name: North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

		Extra Claims		Fee from below		Fee Paid
Total Claims	<input type="text"/>	-20** =	<input type="text"/>	X	<input type="text"/>	= <input type="text"/>
Independent Claims	<input type="text"/>	- 3** =	<input type="text"/>	X	<input type="text"/>	= <input type="text"/>
Multiple Dependent					<input type="text"/>	= <input type="text"/>

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No.	41,526	Telephone	886289237350
Signature		Attorney/Agent		Date	7/28/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

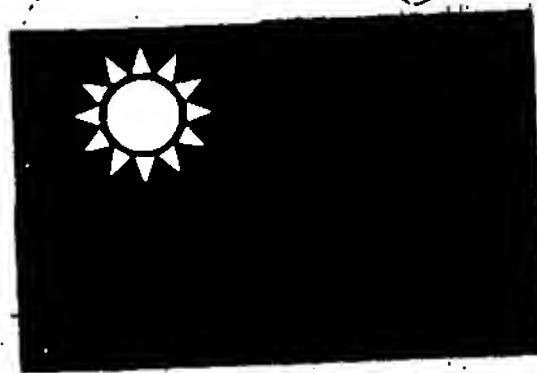
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092130568	Taiwan R.O.C	10/31/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



92A-05203

RECEIVED

365 REA-1000

10,710,175

中華民國經濟部智慧財產局

945202

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 10 月 31 日
Application Date

申請案號：092130568
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

BEST AVAILABLE COPY

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月
Issue Date

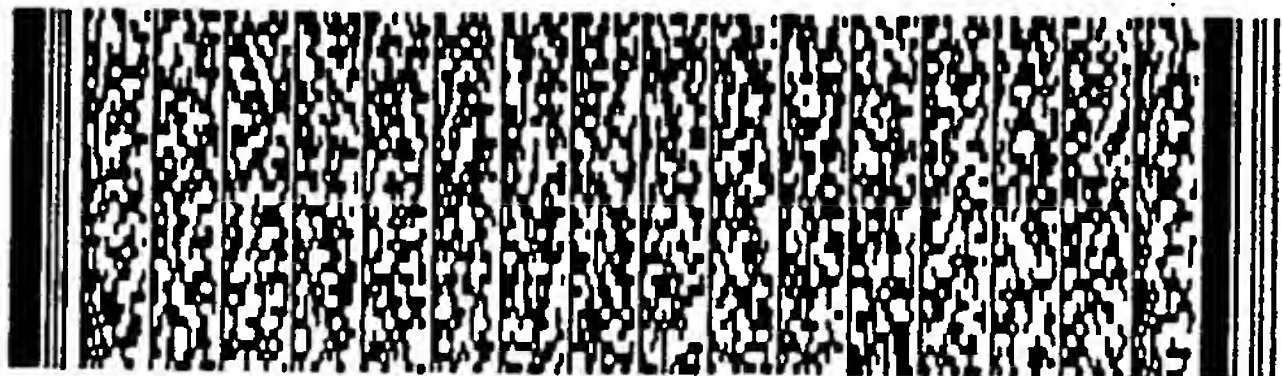
發文字號：09320147510
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中文	相位延遲裝置及方法
	英文	APPARATUS AND METHOD FOR PHASE DELAY
二 發明人 (共2人)	姓名 (中文)	1. 康漢彰
	姓名 (英文)	1. KANG, HAN-CHANG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市民族路一六0巷十九號一樓
	住居所 (英文)	1. 1F, No. 19, Lane 160, Min-Chu Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三 申請人 (共1人)	名稱或姓名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或姓名 (英文)	1. REALTEK SEMICONDUCTOR CORP.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 2 Industry E. Rd. IX, Science-Based Industrial Park, Hsin-Chu Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. YEH, PO-LEN

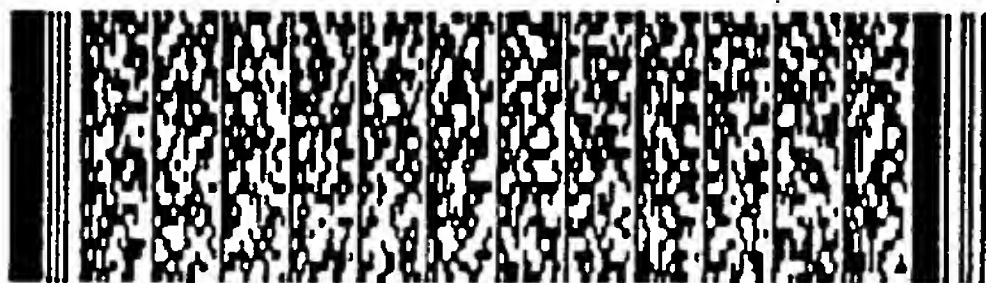


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 李朝政
	姓 名 (英 文)	2. LEE, CHAO-CHENG
	國 籍 (中 英 文)	2. 中華民國 TW
	住 居 所 (中 文)	2. 新竹市新竹科學園區湖濱路二十九號一樓
	住 居 所 (英 文)	2. 1F, No. 29, Ho-Bin Rd., Science Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：相位延遲裝置及方法)

本發明提供一種相位延遲電路，用以延遲一輸入訊號以產生一輸出訊號，該相位延遲電路包含有一緩衝器，用以緩衝於其輸入端所輸入之該輸入訊號，以於輸出端產生該輸出訊號；一數位類比轉換器，用以將其輸入端所輸入之一數位相位延遲值轉變為一控制電壓輸出；以及一可變電容，用以依據該控制電壓以改變該可變電容的電容值；其中藉由改變該電容值，該相位延遲電路可改變該輸入訊號與該輸出訊號之間之相位延遲。

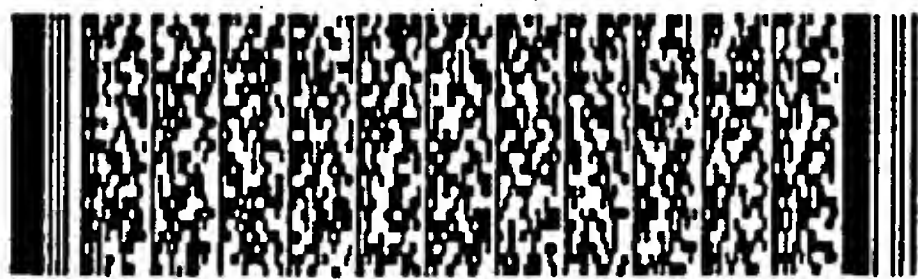
五、英文發明摘要 (發明名稱：APPARATUS AND METHOD FOR PHASE DELAY)

An apparatus for phase delay is disclosed. The apparatus includes a buffer utilized for buffering a received input signal that will be outputted afterwards; a digital to analog converter (DAC) utilized for converting a received digital value of phase delay to a control voltage; and a variable capacitor that is controlled by the controlling voltage possesses a capacitance value.

四、中文發明摘要 (發明名稱：相位延遲裝置及方法)

五、英文發明摘要 (發明名稱：APPARATUS AND METHOD FOR PHASE DELAY)

By the variable capacitance value, the apparatus for phase delay can change amount of the phase delay between the input signal and the corresponding output signal.



六、指定代表圖

(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

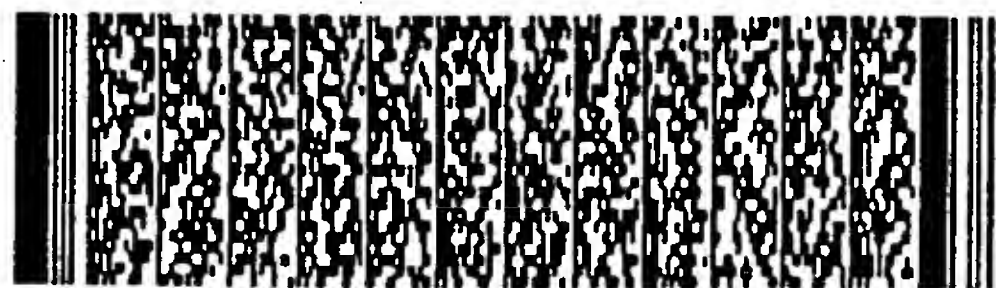
200 相位延遲電路

20 緩衝器

21 數位類比轉換器

22 可變電容

圖二為本發明之相位延遲電路的功能方塊圖。



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

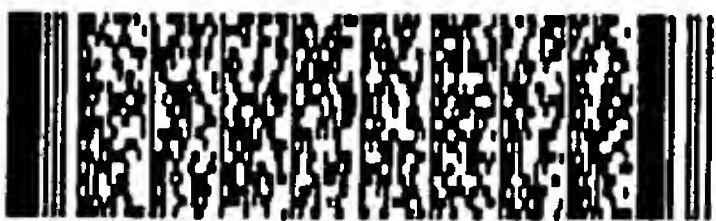
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

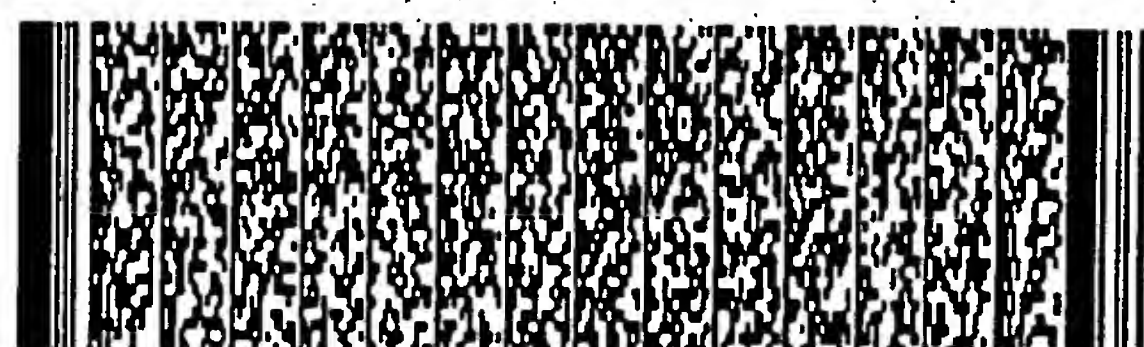
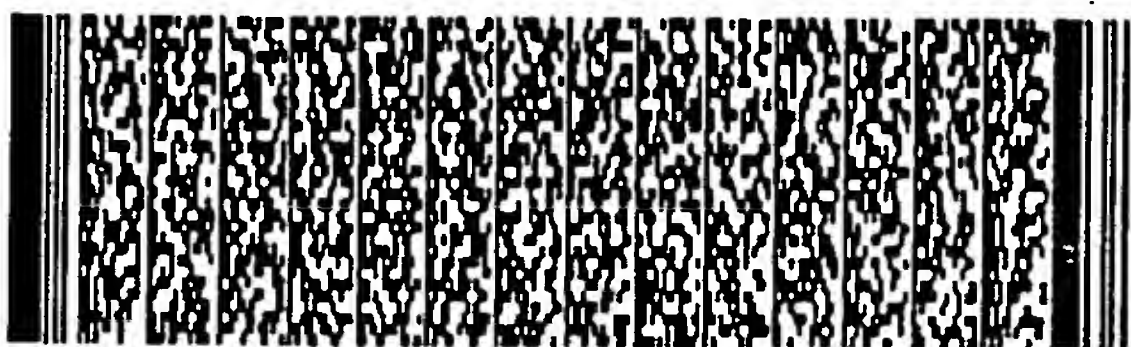
【技術領域】

本發明提供一種相位延遲電路，尤指一種利用一可作相位補償的相位延遲電路。

【先前技術】

在許多電路中，例如時脈訊號產生器 (clock generator) 或是射頻傳輸接收器 (RF transceiver)，對於訊號相位的精確度的要求相當高，當這些訊號相位產生偏差時，會對整個系統產生相當大的影響。至於在多相位時脈訊號產生器 (multi-phase clock generator) 中，每個輸出訊號間的相位差的精確度亦相當重要，當相位誤差增加時，輸出時脈訊號的時脈抖動 (jitter) 也會增加，這對需要精確的時脈訊號的系統而言，可能會導致後級電路嚴重的錯誤，例如類比數位轉換器的取樣點的錯誤，或是位元錯誤率 (bit error rate) 上升等等。

在設計電路時都會相當小心注意這些需要精密相位精確度的佈局路徑，然而在無法完全掌握溫度、製程與供應電壓的飄移等等的因素時，習知技術之積體電路通常會無法提供準確的相位延遲，此時就需要利用額外的機制對相位偏移做修正。

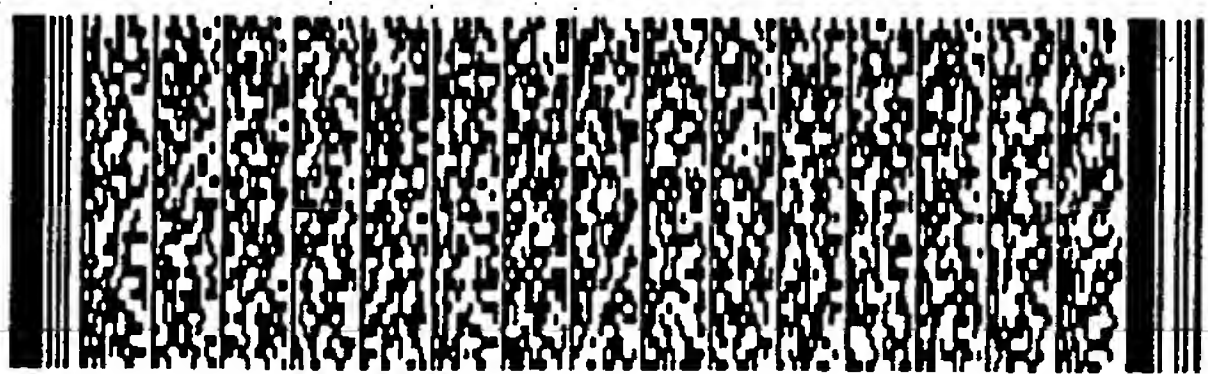


五、發明說明 (2)

習知之相位偏移技術之一即是利用電容之充放電效應來對欲傳送至下一級之訊號進行RC延遲，通常係以複數個開關分別控制複數個電容器以調整電容值的大小，並利用該電容值與一緩衝器來提供RC延遲以使得訊號的相位延遲。請參照圖一，圖一中所顯示的為習知技術之一相位延遲電路100的示意圖。相位延遲電路100中包含有複數個電容器、複數個開關與一緩衝器，用以延遲一輸入訊號以產生一輸出訊號。相位延遲電路100係利用複數個開關，由開關的接通與否來調整該電路的一節點N之電容大小，當較多開關接通而導致節點N之等效電容值較大時，輸入訊號的延遲量就會增加。

為了對所傳送的訊號作精密的相位延遲控制，最好能夠使得上述複數個開關所貢獻之電容值及電阻值與該等複數個電容器之電容值及該緩衝器之電阻值相較為十分微小而可忽略不計之數值。因為如果開關所具有之寄生電容及電阻過大的話，將會於切換前後對該訊號之RC延遲造成無法預測的影響，這是於電路計設時所不樂見的。

然而，隨著應用技術領域的進步，對於訊號相位延遲更加精密控制之要求與日俱增，而導致於上述用來提供RC延遲之電容值及電阻值也愈來愈小，在這樣的情形之下，一般利用MOS電晶體來實現之開關將面臨以下的難題：一方面為了使開關的寄生電容值變小，用來作為開關之MOS電晶



五、發明說明 (3)

體之尺寸係愈小愈好，但是另一方面為了使開關的電阻值變小，上述 MOS 電晶體之尺寸則是愈大愈好。如此將導致相位延遲電路 100 設計上的困難。

【內容】

因此本發明的主要目的在於一種以將該數位相位延遲值轉變為一數位控制電壓，以控制一可變電容與一緩衝器，延遲一輸入訊號以產生一輸出訊號的電路與方法。

本發明提供一種相位延遲電路，用以延遲一輸入訊號以產生一輸出訊號。該相位延遲電路包含有一緩衝器，用以緩衝於其輸入端所輸入之該輸入訊號，以於輸出端產生該輸出訊號；一數位類比轉換器，用以將其輸入端所輸入之一數位相位延遲值轉變為一控制電壓輸出；以及一可變電容，用以依據該控制電壓以改變該可變電容的電容值；其中藉由改變該電容值，該相位延遲電路可改變該輸入訊號與該輸出訊號之間之相位延遲。

【實施方法】

本發明所揭露之方法與架構是以圖二為例，以期藉由數位方式紀錄的所需的相位延遲值與數位類比轉換器的輔助，提昇相位延遲電路的精確度。

五、發明說明 (4)

請參閱圖二，圖二為本發明之相位延遲電路 200 用以延遲一訊號之功能方塊圖。圖二之相位延遲電路 200 包含有一緩衝器 20、一數位類比轉換器 21 以及一可變電容 22。緩衝器 20 具有一輸入端與一輸出端，用以緩衝於其輸入端所輸入之該輸入訊號，以於輸出端產生該輸出訊號，其可用以接收一時脈訊號產生器所輸出之時脈訊號，或是一射頻收發器所輸出之訊號。數位類比轉換器 (Digital to Analog Converter, 簡稱為 DAC) 21 具有一輸入端與一輸出端，用以將其輸入端所輸入之一數位相位延遲值轉變為一控制電壓輸出，其可用以將一輸入的數位相位延遲值轉變為一控制電壓輸出。可變電容 22 具有兩端點，其中一端點電連於數位類比轉換器 21 之輸出端，另一端點電連於緩衝器 20 之輸出端，用以依據該控制電壓以改變可變電容 22 的電容值。可變電容 22 可以為一 MOS 壓控電容或是一 P+/N 型井接面壓控電容 (P+/N well junction voltage-controlled capacitor)，用以依據該控制電壓以改變可變電容 22 的電容值。

需注意的是，本發明亦可以用兩套上述之電路來實現，兩套電路分別調整兩輸入訊號的相位，以調整兩輸入訊號之間的相位差。其中兩輸入訊號可以是一對差動訊號，也可以是通訊系統之射頻接收器 (receiver) 與發射器 (transmitter) 之 I/Q 訊號。



五、發明說明 (5)

圖三為利用本發明之相位延遲電路 200 以進行相位延遲之流程圖，操作流程包含有下列步驟：

步驟 200：開始；

步驟 202：緩衝器 20 的輸入端接收到一輸入訊號；

步驟 204：數位類比轉換器 21 的輸入端接收一數位相位延遲值，並將該數位相位延遲值轉變為一控制電壓，然後於其輸出端輸出；

步驟 206：可變電容 22 接收該控制電壓，該控制電壓控制可變電容 22，使可變電容 22 具有一相對應於該數位相位延遲值之電容值；

步驟 208：利用可變電容 22 以及一緩衝器 20，延遲該輸入訊號，以於緩衝器 20 的輸出端產生該輸出訊號；以及

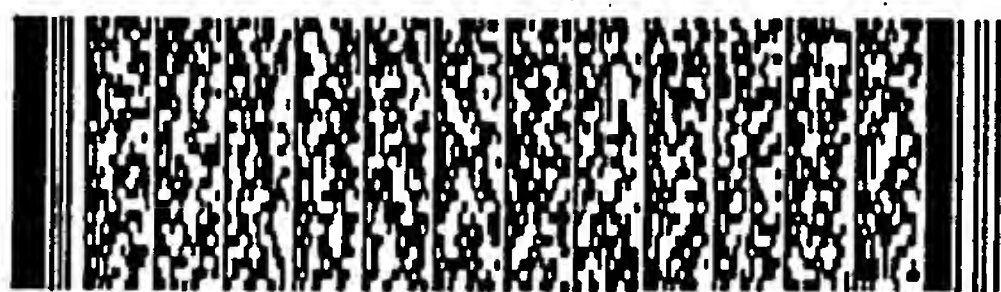
步驟 210：結束此相位延遲操作，完成本發明的相位延遲流程之一實施例。

由於可變電容對於不同的電壓會反映出不同的電容大小（即是可變電容的電容值隨著兩端跨壓值的不同而變動），因此，若能控制可變電容的跨壓在特定的精確度，就能得到相對應的解析度的電容大小。以目前的技術而言，以數位類比轉換器來控制可變電容，將控制電壓細分至更高的解析度並不困難，因此將可大幅提高相位延遲的精確度。且由於數位類比轉換器接收的是以數位方式紀錄

五、發明說明 (6)

下來的相位延遲值，所以，在前級偵測相位誤差的方法上，能採取更多樣的偵測方式。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知技術之一相位延遲電路的示意圖。


圖二為本發明之相位延遲電路的功能方塊圖。

圖三為本發明之相位延遲電路的相位延遲的流程圖。

圖式之符號說明

100、200 相位延遲電路

10、20 緩衝器

1  12、13、14 電容器

15、16、17、18 開關

21 數位類比轉換器

22 可變電容

六、申請專利範圍

1. 一種相位延遲電路，包含有：
一緩衝器，用以緩衝一輸入訊號，並輸出一輸出訊號；
一數位類比轉換器 (Digital to Analog Converter, DAC)，用以依據一數位相位延遲值輸出相對應之一控制電壓；以及
一可變電容，分別與該數位類比轉換器及該緩衝器耦接，其中，該可變電容之電容值係與該控制電壓相對應；
其中藉由控制該電容值，該相位延遲電路可調整該輸入訊號與該輸出訊號之相位延遲。

2. 如申請專利範圍第 1 項所述之方法，其中該輸入訊號係為一時脈訊號。

3. 如申請專利範圍第 1 項所述之方法，其中該輸入訊號係為一射頻訊號。

4. 如申請專利範圍第 1 項所述之方法，其中該可變電容為一壓控電容。

5. 如申請專利範圍第 4 項所述之方法，其中該壓控電容係為一 MOS 壓控電容。

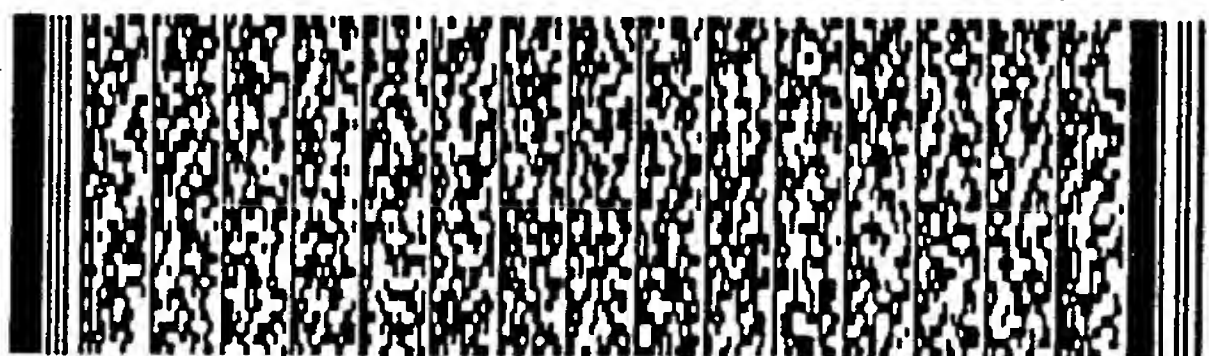
6. 如申請專利範圍第 4 項所述之方法，其中該壓控電容係為一 P+/N 型井接面壓控電容 (P+/N well junction)



六、申請專利範圍

voltage-controlled capacitor)。

- 7.一種延遲相位的方法，該方法包含以下步驟：
緩衝一輸入訊號，以輸出一輸出訊號；
提供一數位相位延遲值；
依據該數位相位延遲值產生相對應之一控制電壓；
利用該控制電壓控制一可變電容之電容值，以調整該輸入訊號與該輸出訊號之相位差。
- 8.如申請專利範圍第7項所述之方法，其中該輸入訊號係為一時脈訊號。
- 9.如申請專利範圍第7項所述之方法，其中該輸入訊號係為一射頻訊號。
- 10.如申請專利範圍第7項所述之方法，其中依據該數位相位延遲值產生相對應之該控制電壓步驟係由一數位類比轉換器來實現。
- 11.如申請專利範圍第7項所述之方法，其中該可變電容為一壓控電容。
- 12.如申請專利範圍第11項所述之方法，其中該壓控電容係為一MOS壓控電容。



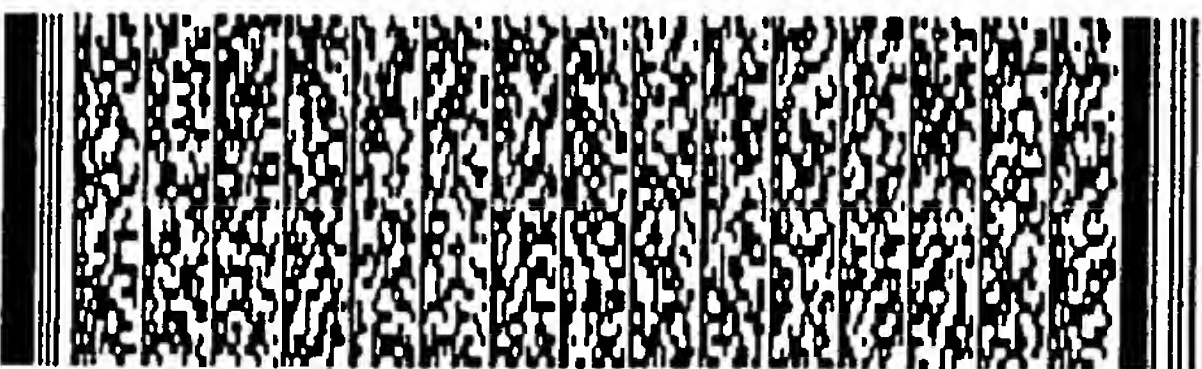
六、申請專利範圍

13.如申請專利範圍第11項所述之方法，其中該壓控電容係為一P+/N型井接面壓控電容。

14.一種相位延遲電路，包含有：

- 一第一緩衝器，用以緩衝一第一輸入訊號，並輸出一第一輸出訊號；
 - 一第一數位類比轉換器，用以依據一數位相位延遲值輸出相對應之一第一控制電壓；以及
 - 一第一可變電容，分別與該第一數位類比轉換器及該第一緩衝器耦接，其中，該第一可變電容之電容值係與該第一控制電壓相對應；
 - 一第二緩衝器，用以緩衝一第二輸入訊號，並輸出一第二輸出訊號；
 - 一第二數位類比轉換器，用以依據該數位相位延遲值輸出相對應之一第二控制電壓；以及
 - 一第二可變電容，分別與該第二數位類比轉換器及該第二緩衝器耦接，其中，該第二可變電容之電容值係與該第二控制電壓相對應；
- 其中藉由控制該第一及該第二電容值，該相位延遲電路可調整該第一輸入訊號與該第二輸入訊號之相位差。

15.如申請專利範圍第14項所述之方法，其中該第一輸入訊號及該第二輸入訊號係為一對差動訊號。



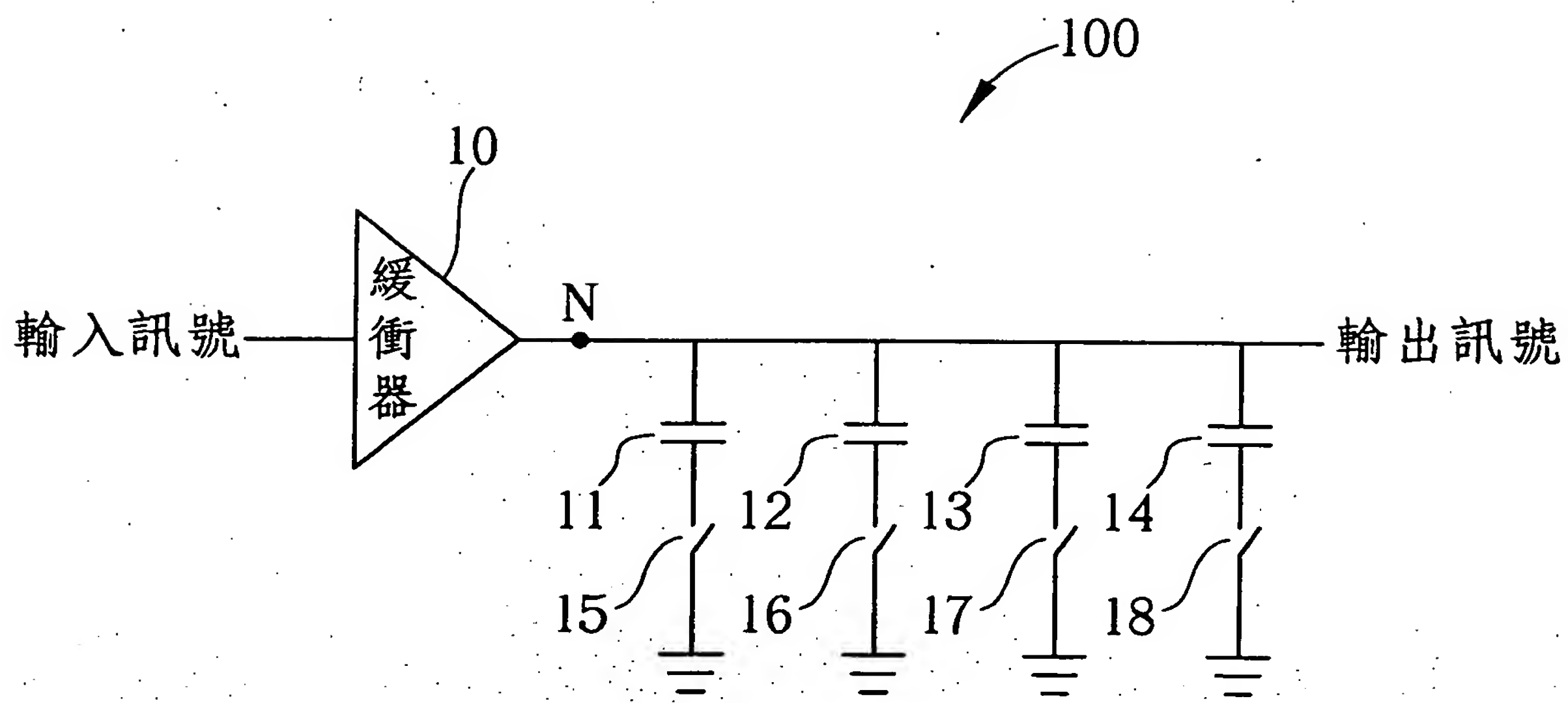
六、申請專利範圍

16.如申請專利範圍第14項所述之方法，其中該第一輸入訊號及該第二輸入訊號係分別為一同相訊號 (In-phase signal, I signal) 及一四分之一相位訊號 (Quadrature-phase signal, Q signal) 。

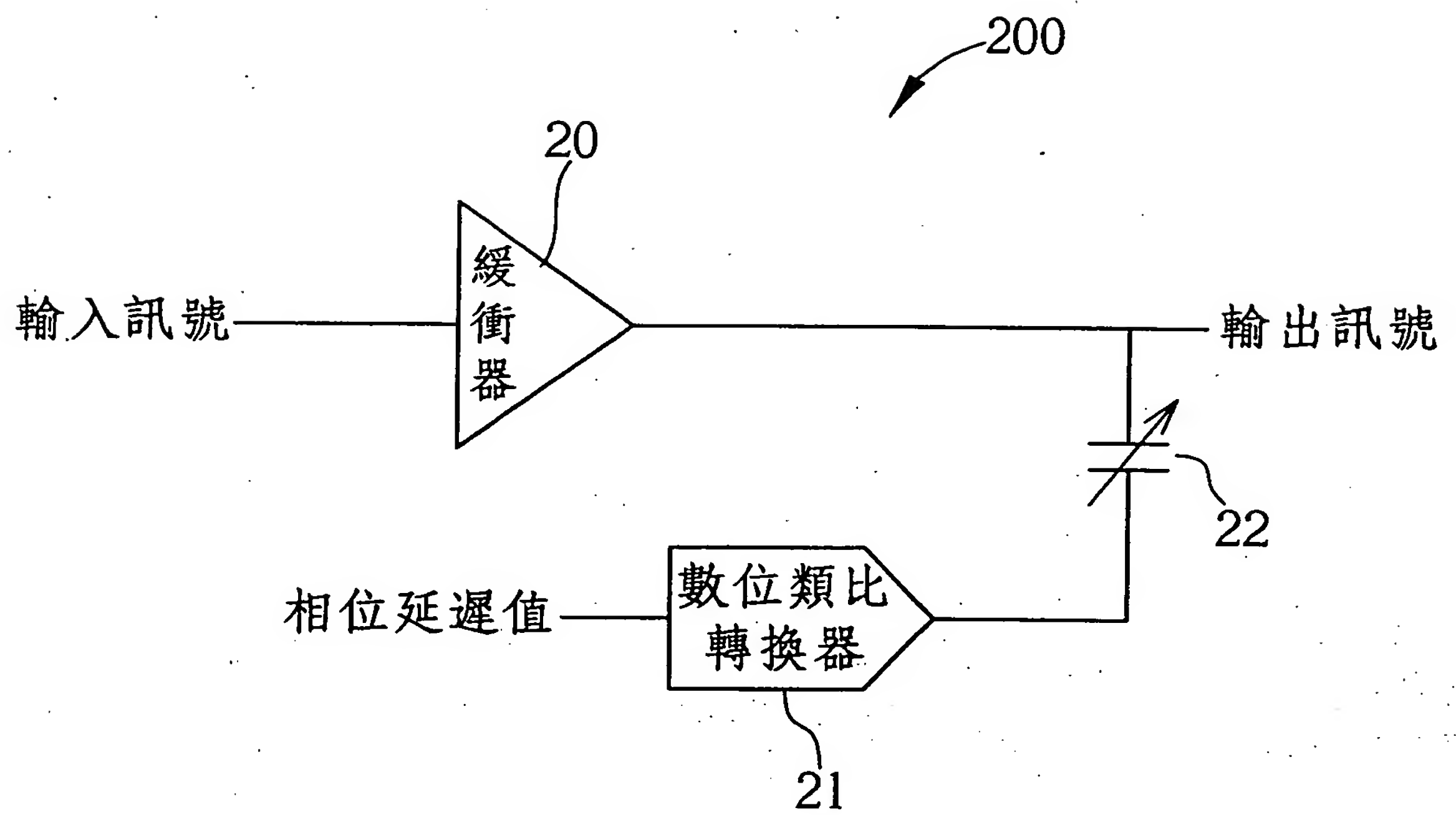
17.如申請專利範圍第14項所述之方法，其中該可變電容為一壓控電容。

18.如申請專利範圍第16項所述之方法，其中該壓控電容係為一 MOS壓控電容。

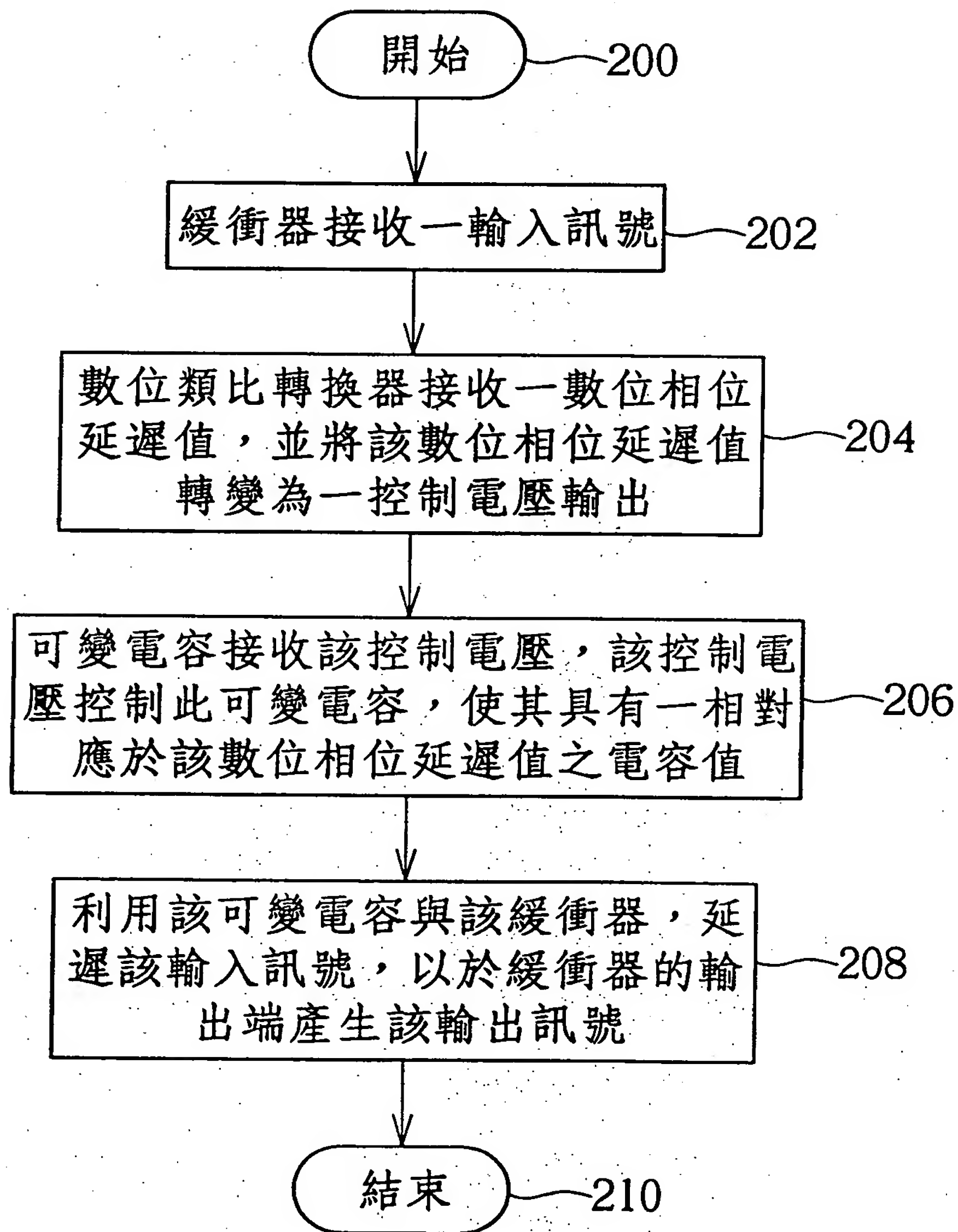
19.如申請專利範圍第16項所述之方法，其中該壓控電容係為一 P+/N型井接面壓控電容 (P+/N well junction voltage-controlled capacitor) 。



圖一

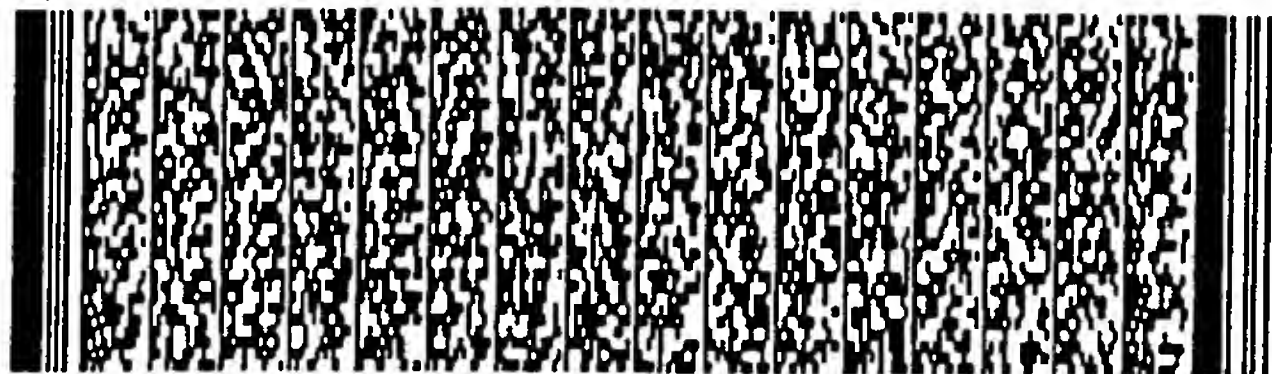


圖二

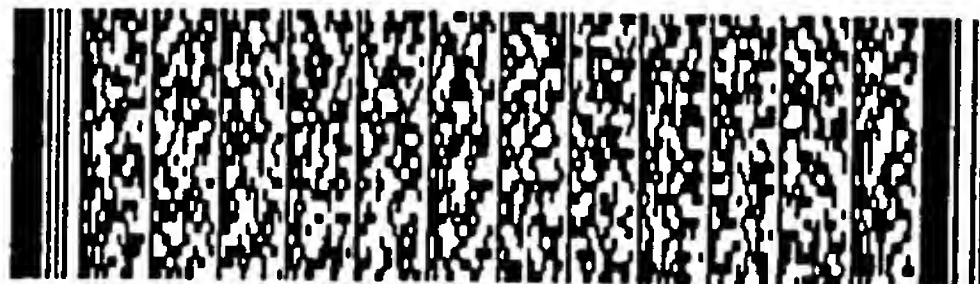


圖三

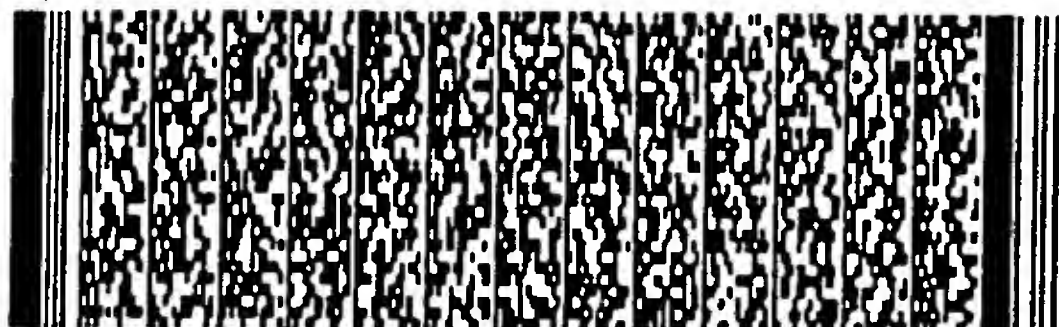
第 1/17 頁



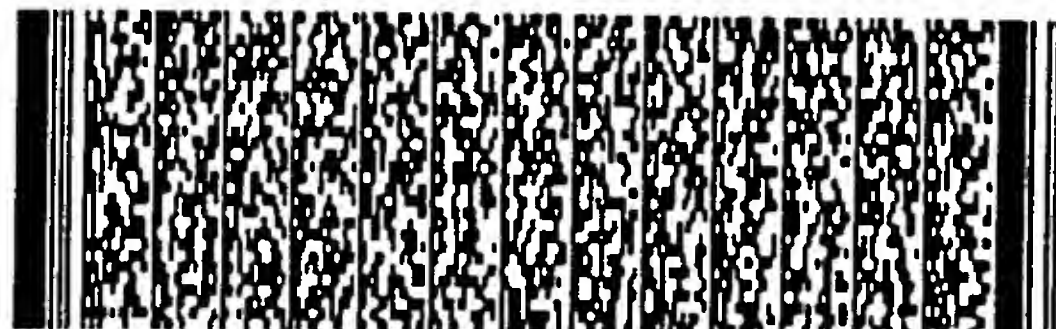
第 2/17 頁



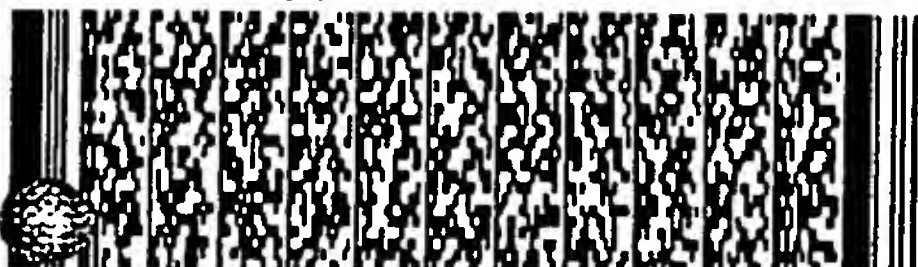
第 3/17 頁



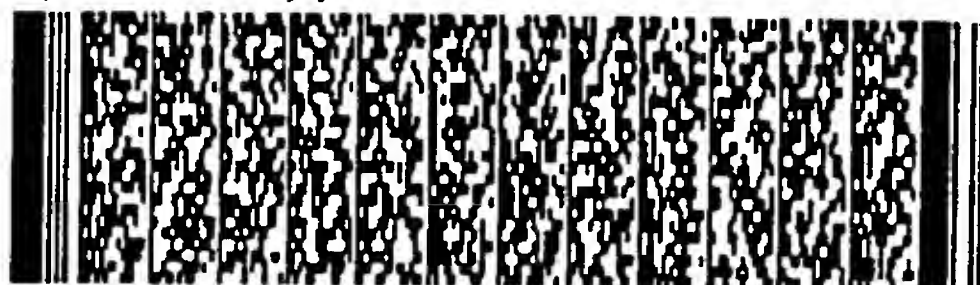
第 3/17 頁



第 4/17 頁



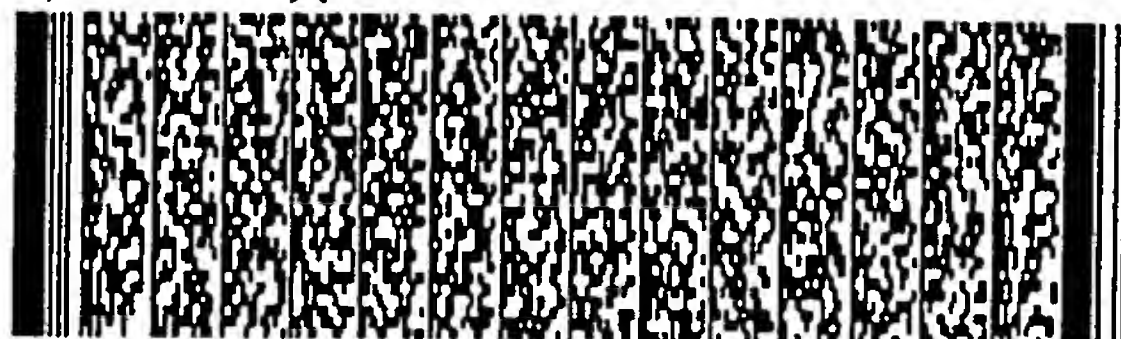
第 5/17 頁



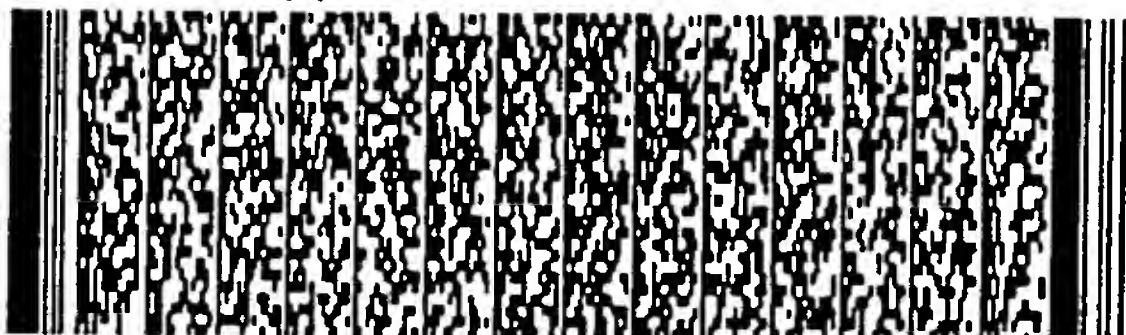
第 6/17 頁



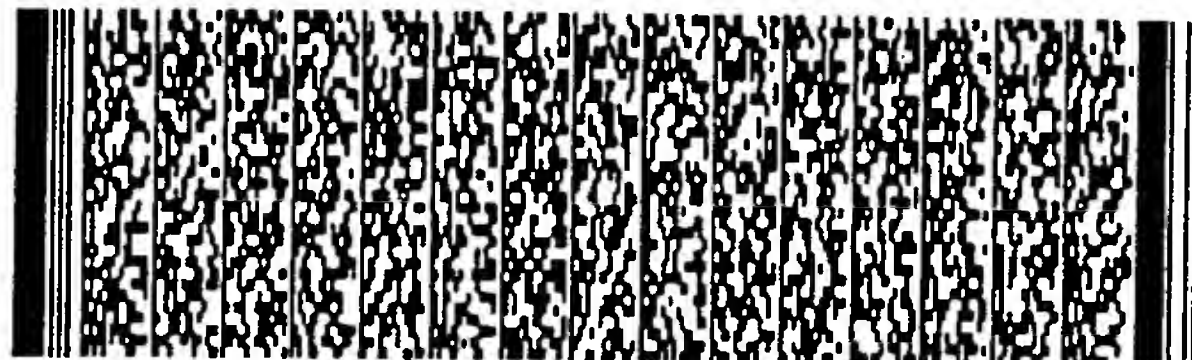
第 7/17 頁



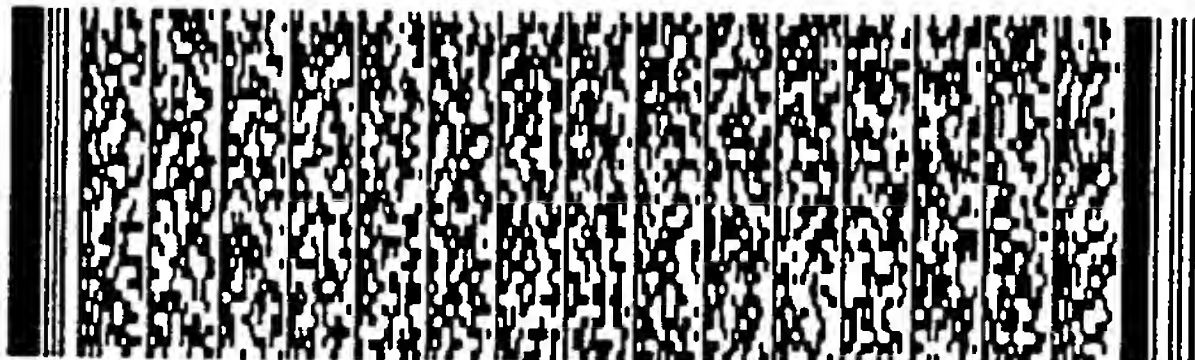
第 7/17 頁



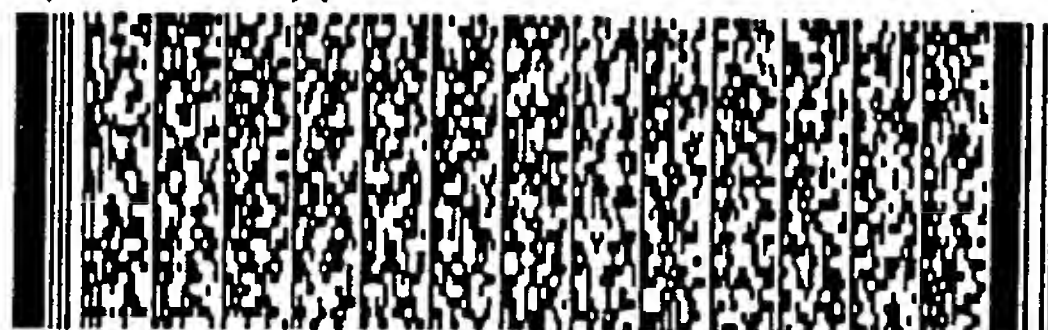
第 8/17 頁



第 8/17 頁



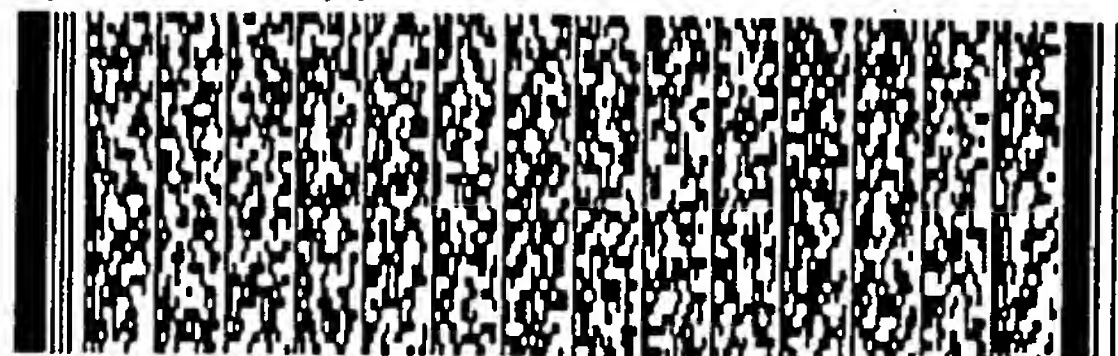
第 9/17 頁



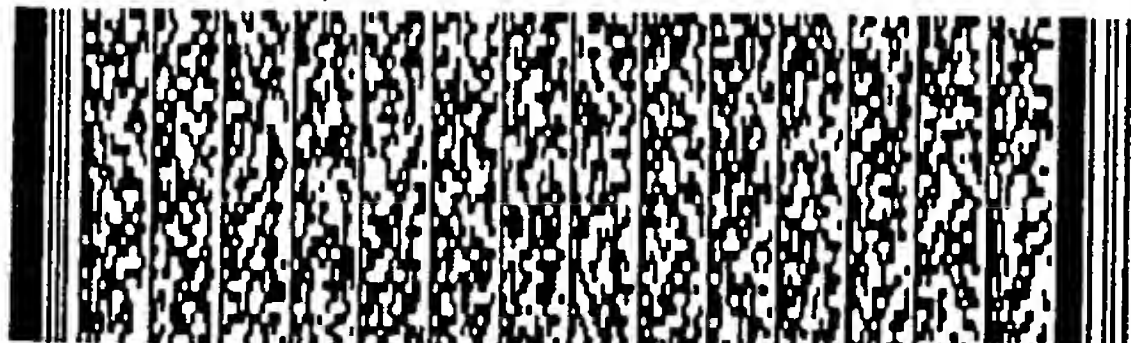
第 9/17 頁



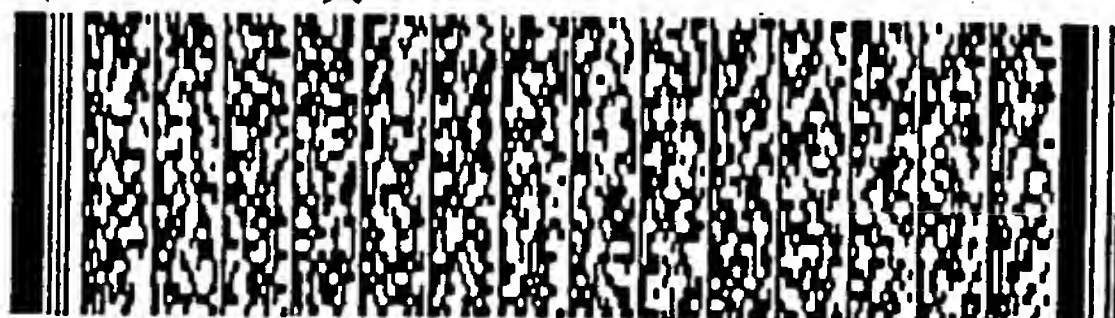
第 10/17 頁



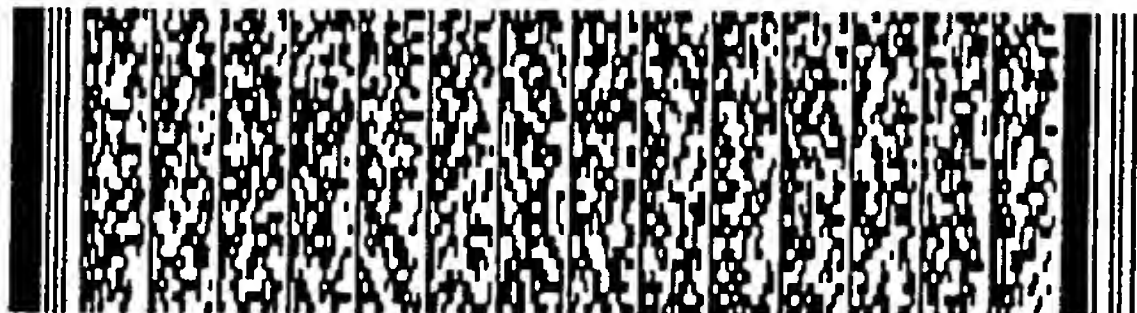
第 10/17 頁



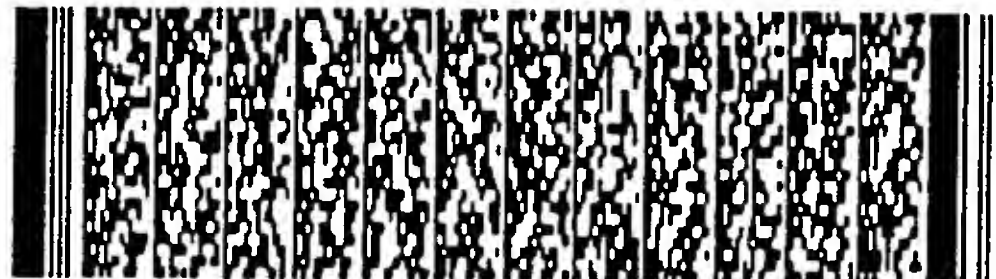
第 11/17 頁



第 11/17 頁



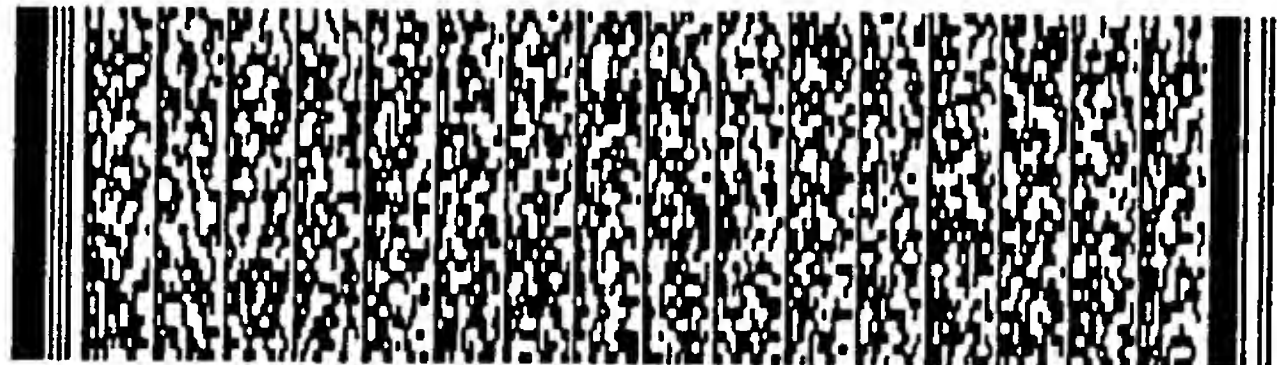
第 12/17 頁



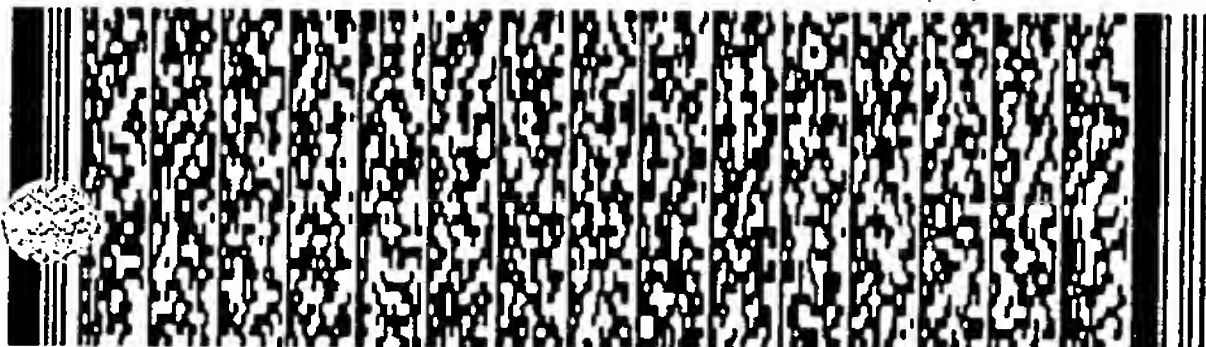
第 13/17 頁



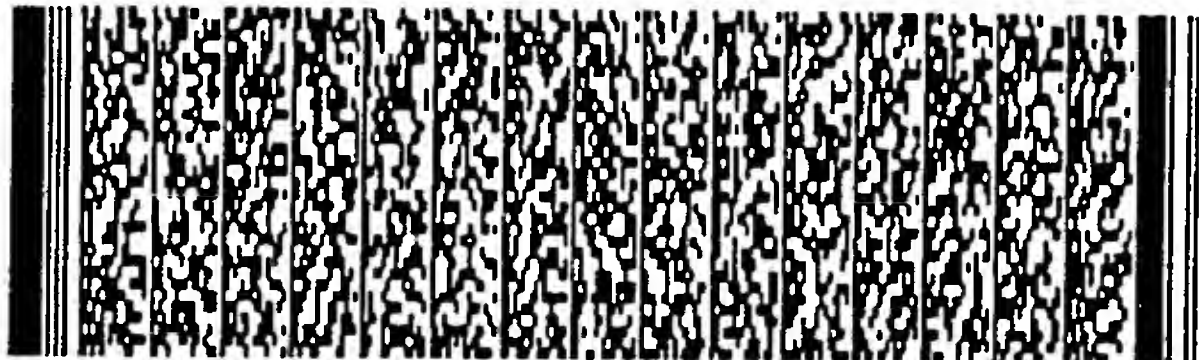
第 14/17 頁



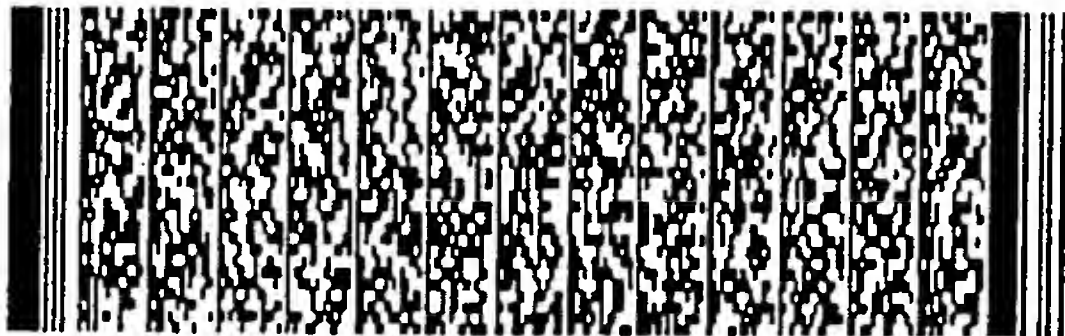
第 15/17 頁



第 16/17 頁



第 17/17 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.